

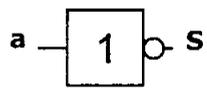
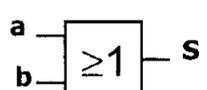
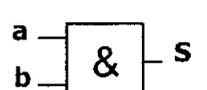
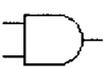
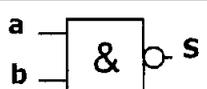
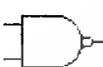
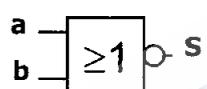
RÉSUMÉ

Les fonctions logiques
« Rappel »

4^{ème} SCIENCES TECHNIQUES

Prof : M^{ed} ELLEUCH

LABO. : G.E (14/15)

Fonctions	Symbole Européen	Symbole Américain	Equation	Propriétés
NON (NOT)			$S = \bar{a}$	X
OU (OR)			$S = a + b$	$a + a = a$ $a + \bar{a} = 1$ $a + 0 = a$ $a + 1 = 1$
ET (AND)			$S = a . b$	$a . a = a$ $a . \bar{a} = 0$ $a . 0 = 0$ $a . 1 = a$
NAND (ON)			$S = a b = \overline{a . b}$ $= \bar{a} + \bar{b}$	$a a = \bar{a}$ $a \bar{a} = 1$ $a 0 = \bar{a}$ $a 1 = \bar{a}$
NI (NOR)			$S = a \downarrow b = \overline{a + b}$ $= \bar{a} . \bar{b}$	$a \downarrow a = \bar{a}$ $a \downarrow \bar{a} = 0$ $a \downarrow 0 = \bar{a}$ $a \downarrow 1 = 0$
Ou exclusif (XOR)			$S = a \oplus b$ $S = a . \bar{b} + \bar{a} . b$	$a \oplus 1 = \bar{a}$ $a \oplus 0 = a$
Coincidence (XNOR)			$S = a \odot b$ $S = a . b + \bar{a} . \bar{b}$ $S = \overline{a \oplus b}$	

Théorèmes de Démorgan

$\overline{a + b} = \bar{a} . \bar{b}$

$\overline{a . b} = \bar{a} + \bar{b}$

www.BAC.org.tn
Page BAC-TUNISIE
Tél: 25 361 197 / 53 371 502

www.BAC.org.tn
Page BAC-TUNISIE
Tél: 25 361 197 / 53 371 502

Série N° 1

LOGIQUE COMBINATOIRE

4^{ème} SCIENCES TECHNIQUES

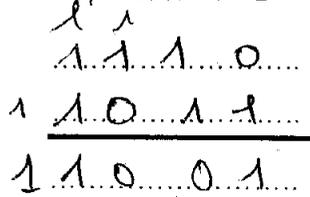
Prof : M^{ed} Elleuch

LABO. : G.E (14/15)

Exercice 1

On désire additionner les deux nombres $A = (14)_{10}$ et $B = (11)_{10}$

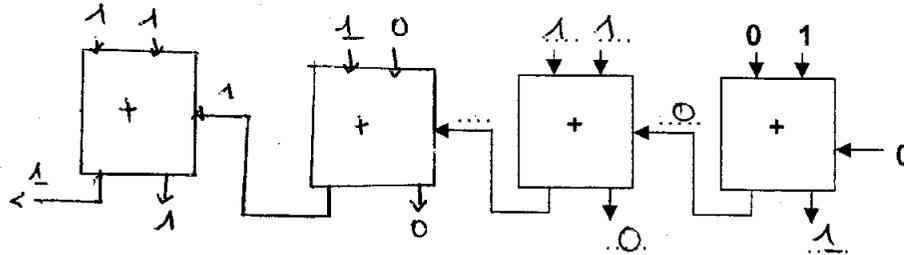
1) Réaliser en binaire l'opération $A + B$



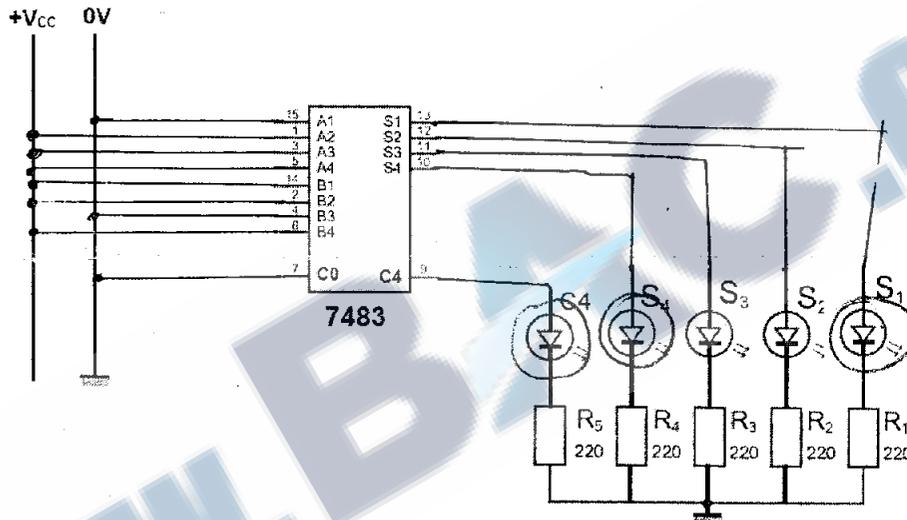
www.BAC.org.tn
Page BAC-TUNISIE
Tél: 25 361 197 / 53 371 502

$$A + B + 1$$

2) Compléter la structure série ci-dessous réalisant l'addition de A et B



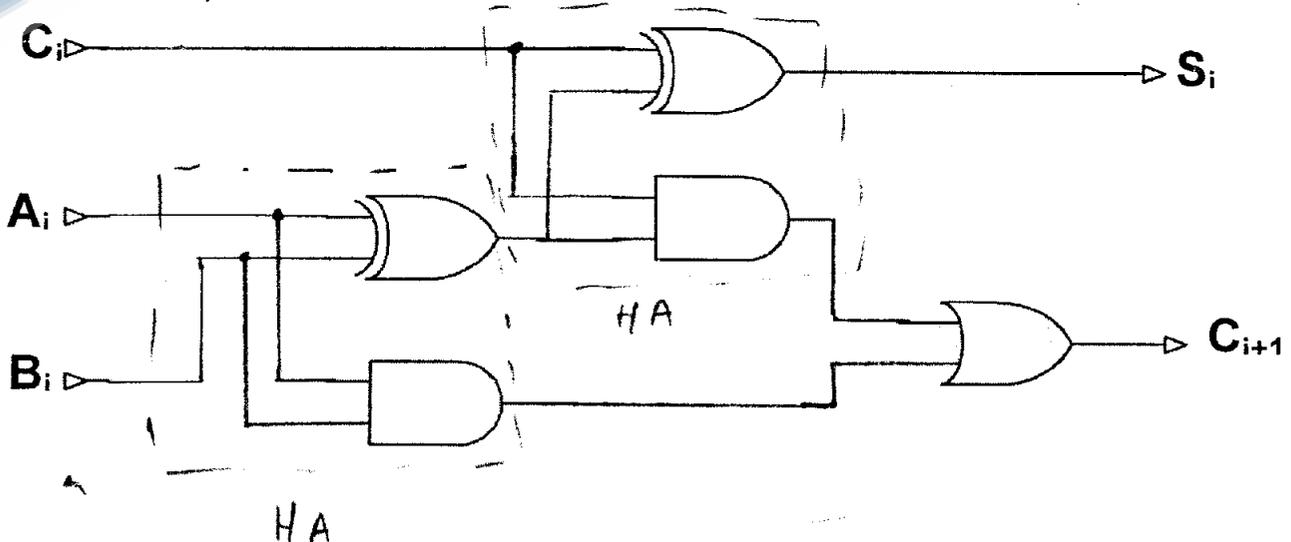
3) Compléter les liaisons nécessaires pour réaliser l'opération précédente avec le circuit intégré 7483. Encercler les LED allumées.



www.BAC.org.tn
Page BAC-TUNISIE
Tél: 25 361 197 / 53 371 502

Le C.I 7483 est un additionneur de deux nombres à 4 bits composé de 4 additionneurs complets mis en cascade et disposant chacun de 3 entrées (A_i , B_i et C_i) et de 2 sorties (S_i et C_{i+1}). S_i : somme C_{i+1} : retenue sortante A_i et B_i : 2 bits à additionner - C_i : retenue entrante

a) Sachant que $S_i = C_i \oplus (A_i \oplus B_i)$ et $C_{i+1} = C_i \cdot (A_i \oplus B_i) + A_i \cdot B_i$, compléter alors le logigramme de l'additionneur complet.



Exercice N° 4

On désire réaliser un circuit combinatoire capable de recevoir à l'entrée deux nombres binaires A et B chacun à 1 bit ($A = a_0$ et $B = b_0$), et fournir à sa sortie la Somme $S = a_0 + b_0$ et une retenue R ou la Soustraction $S = a_0 - b_0$ et un report R sélectionner par une entrée X tel que.

Si $X = 1 \Rightarrow$ Somme

Si $X = 0 \Rightarrow$ Soustraction

1- Compléter la table de vérité

2- Ecrire les équations simplifiées de S et R

X	b_0	a_0	S	R
0	0	0	0	0
0	0	1	1	0
0	1	0	1	1
0	1	1	0	0
1	0	0	0	0
1	0	1	1	0
1	1	0	1	0
1	1	1	0	1

$b_0 a_0$	00	01	11	10
X	0	1	0	1
0	0	1	0	1
1	0	1	0	1

$$S = \bar{b}_0 a_0 + b_0 \bar{a}_0$$

$$= a_0 \oplus b_0$$

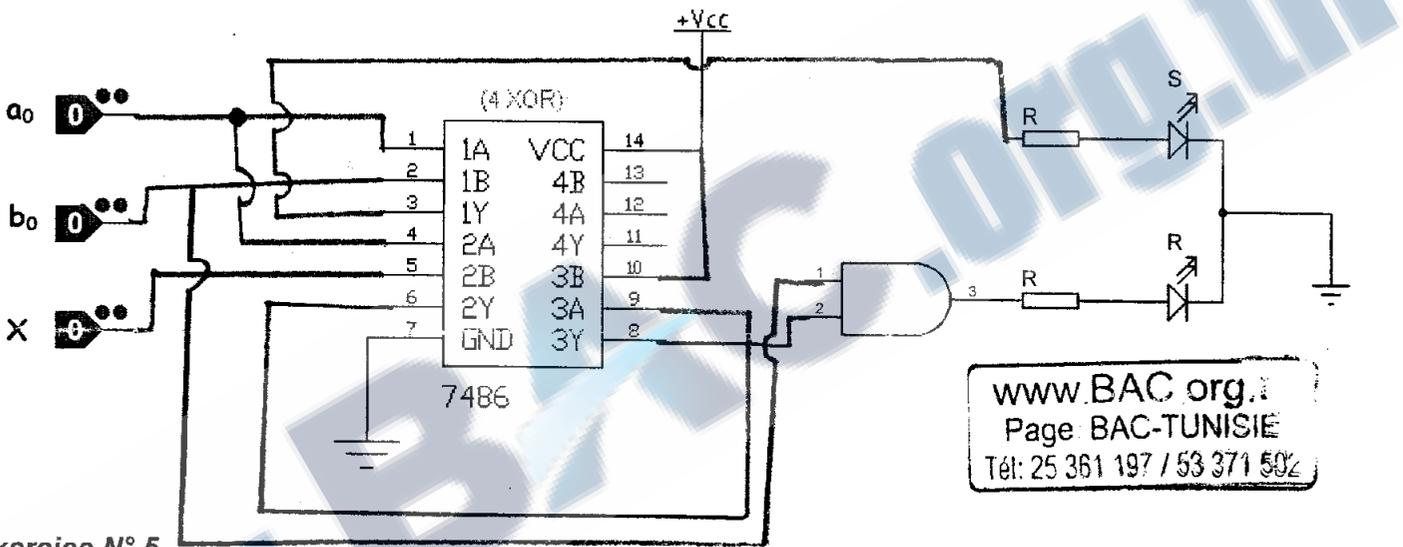
$b_0 a_0$	00	01	11	10
X	0	0	1	0
0	0	0	0	1
1	0	0	1	0

$$R = (b_0 a_0 X) + (b_0 \bar{a}_0 \bar{X})$$

$$= b_0 (a_0 X + \bar{a}_0 \bar{X})$$

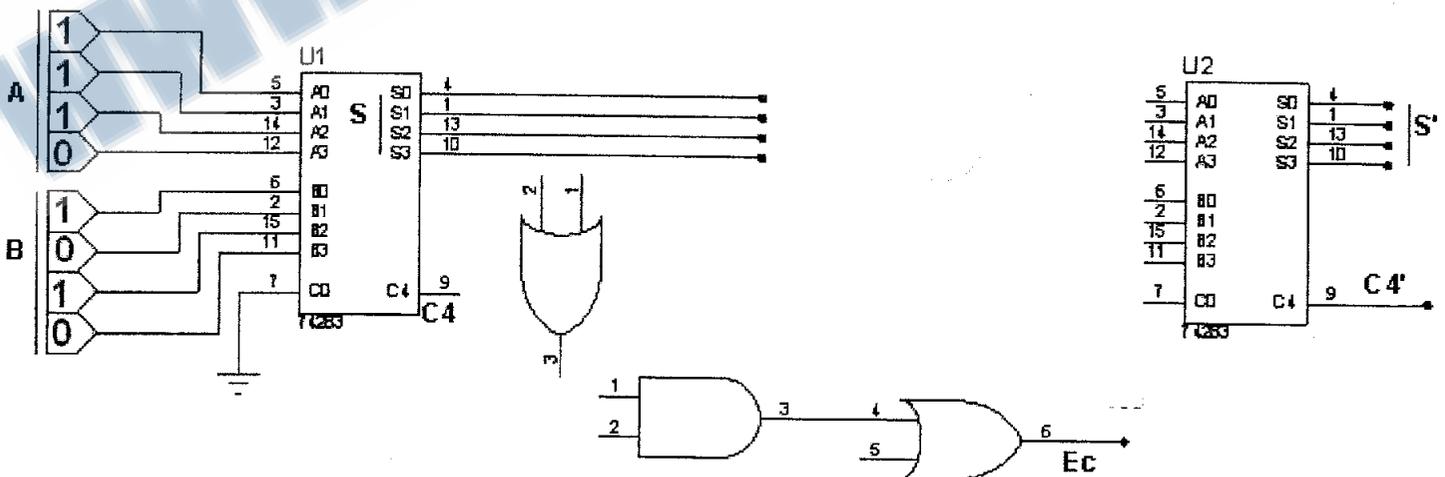
$$= b_0 (a_0 \oplus X + 1)$$

3- Compléter le schéma de câblage de S et R avec le C.I 7486 (4 portes OU EXCLUSIF (XOR)) (On rappelle que $a \text{ XOR } 1 = \bar{a}$)



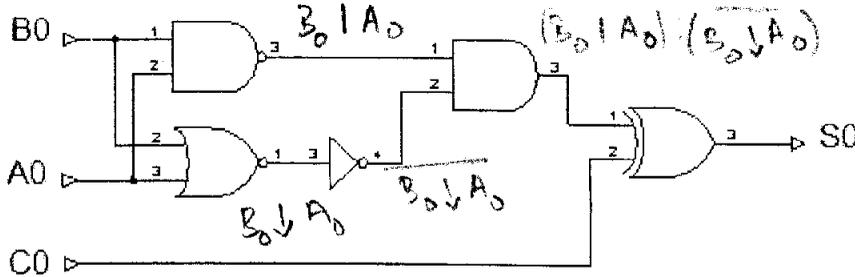
Exercice N° 5

Le logigramme incomplet suivant représente un additionneur BCD réalisé autour de deux circuits intégrés 7483 (binaire). $A : A_3 A_2 A_1 A_0$ et $B : B_3 B_2 B_1 B_0$ sont des représentations codées en BCD



1) L'équation de correction de l'additionneur BCD (représenté par le circuit ci-dessus) est donnée par : $E_c = C_4 + S_1 S_3 + S_2 S_3$

b) La figure suivante représente le schéma logique de la sortie S0 du circuit intégré 7483



➤ Écrire l'équation de S0 en utilisant les opérateurs donnés au schéma logique.

$$S_0 = [(B_0 \cdot A_0) \cdot (B_0 \downarrow A_0)] \vee C_0$$

➤ Montrer que $S_0 = C_0 \oplus (A_0 \oplus B_0)$

$$\begin{aligned} S_0 &= [(B_0 \cdot A_0) \cdot (B_0 \downarrow A_0)] \vee C_0 = [(B_0 + \bar{A}_0) \cdot (\bar{B}_0 + A_0)] \vee C_0 \\ &= [B_0 \cdot \bar{B}_0 + \bar{B}_0 \cdot A_0 + \bar{A}_0 \cdot B_0 + \bar{A}_0 \cdot A_0] \vee C_0 \\ &= (A_0 \oplus B_0) \vee C_0 \end{aligned}$$

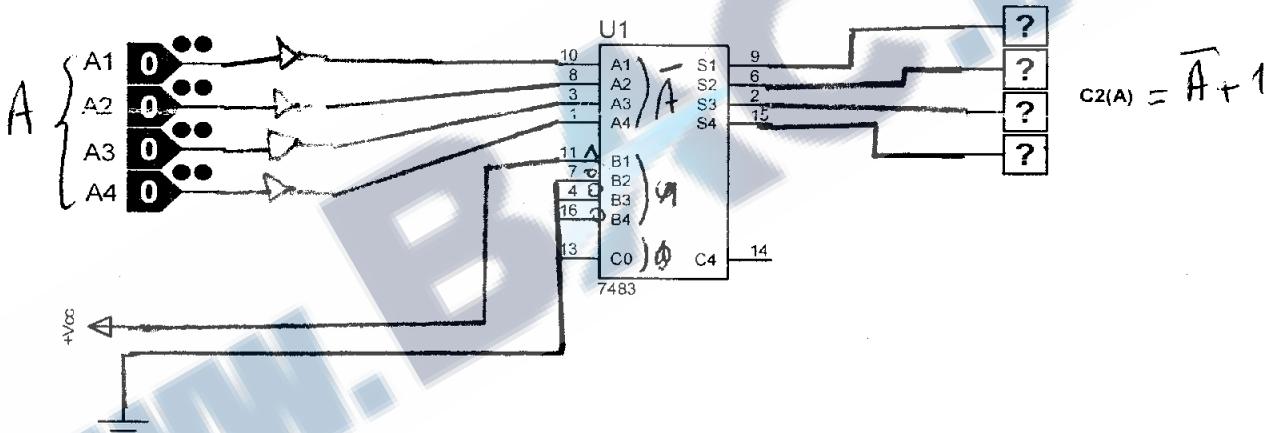
Exercice 2

Soit $C_2(A)$ le complément à deux d'un nombre binaire « A » sur 4 bits.

1) Cocher la réponse correcte :

$C_2(A) = \bar{A}$
 $C_2(A) = \bar{A} + 1$
 $C_2(A) = \bar{A} + 2$

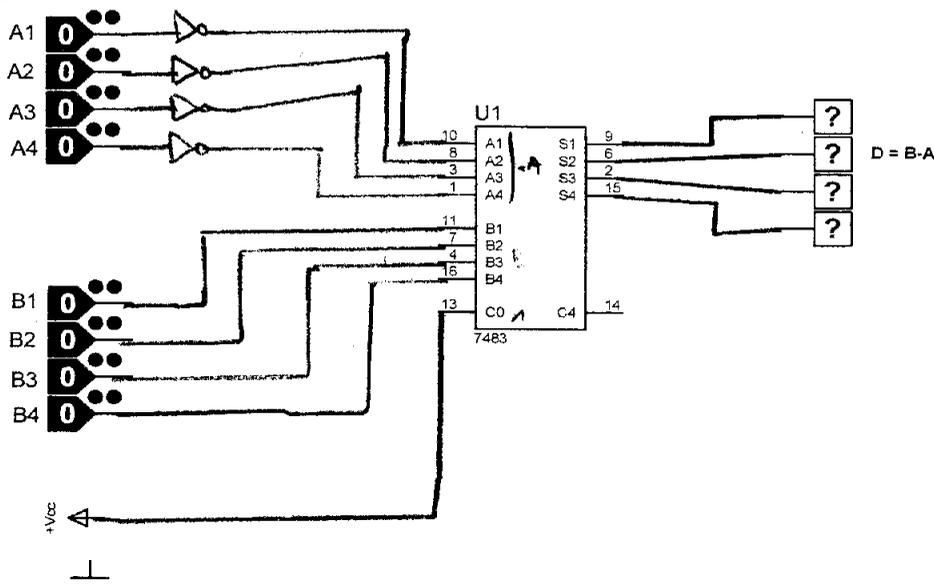
2) Compléter le schéma de câblage suivant permettant d'obtenir le complément à 2 de A sur un format à 4 bits en utilisant des opérateurs logiques NON et le circuit intégré 7483 (Additionneur binaire à 4 bits).



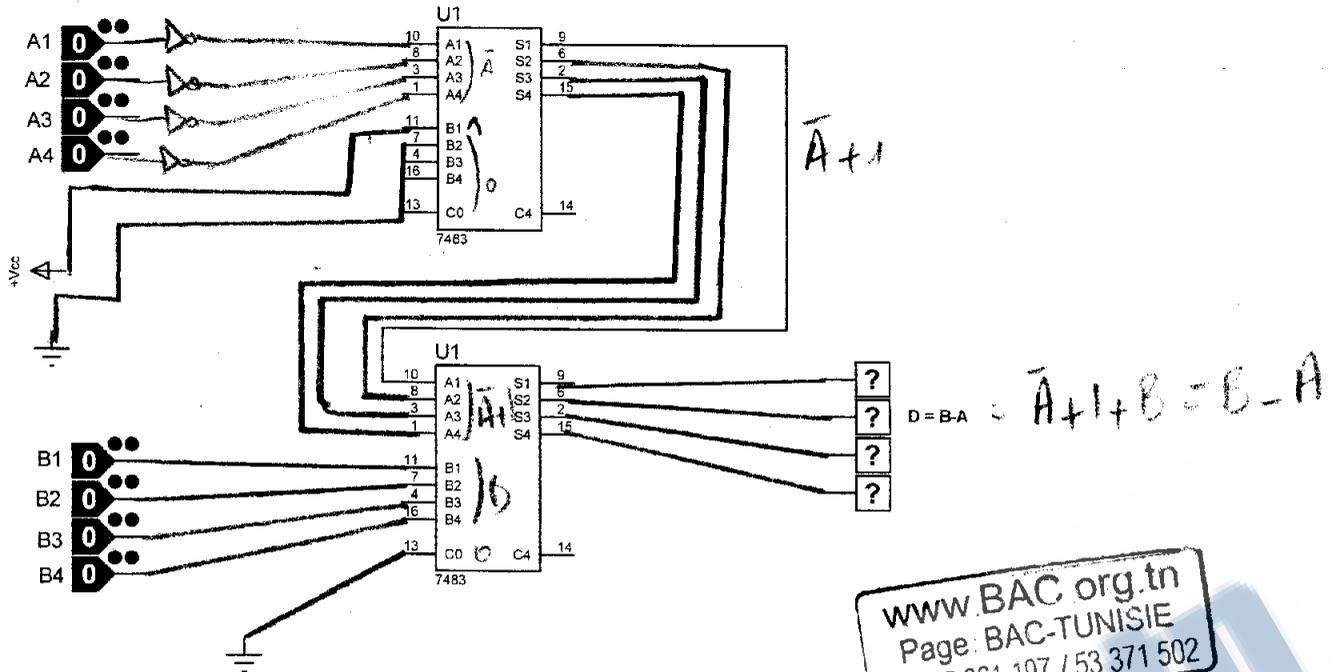
3) Compléter le schéma de câblage suivant effectuant l'opération $(D = B - A)$. Avec $(A : A_4A_3A_2A_1)$ et $(B : B_4B_3B_2B_1)$ deux nombres binaires à 4 bits.

a) En utilisant 1 seul circuit intégré 7483

$$= B + \bar{A} + 1$$



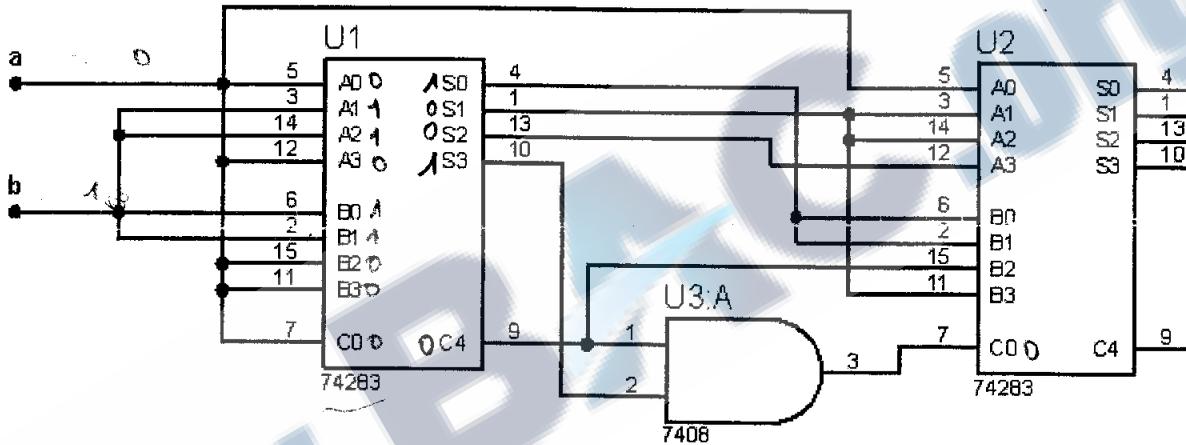
b) En utilisant 2 circuits intégrés 7483



www.BAC.org.tn
Page: BAC-TUNISIE
Tél: 25 361 197 / 53 371 502

Exercice N° 3

Soit le montage suivant à base de circuit intégré 74283 :



Remplir les tableaux suivants par les bits correspondants :

		Circuit U1				C0=..1
a=1		A3	A2	A1	A0	
		..1..	..0..	..0..	..1..	
b=0		B3	B2	B1	B0	
		..1..	..1..	..0..	..0..	
		S3	S2	S1	S0	
C4=..1		..0..	..1..	..1..	..0..	

		Circuit U2				C0=..0
a=1		A3	A2	A1	A0	
		..1..	..1..	..1..	..1..	
b=0		B3	B2	B1	B0	
		..1..	..1..	..0..	..0..	
		S3	S2	S1	S0	
C4=..1		..1..	..0..	..0..	..1..	

		Circuit U1				C0=..0
a=0		A3	A2	A1	A0	
		..0..	..1..	..1..	..0..	
b=1		B3	B2	B1	B0	
		..0..	..0..	..1..	..1..	
		S3	S2	S1	S0	
C4=..0		..1..	..0..	..0..	..1..	

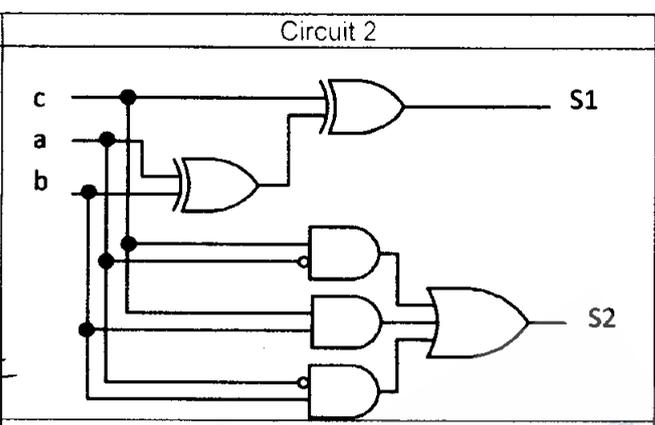
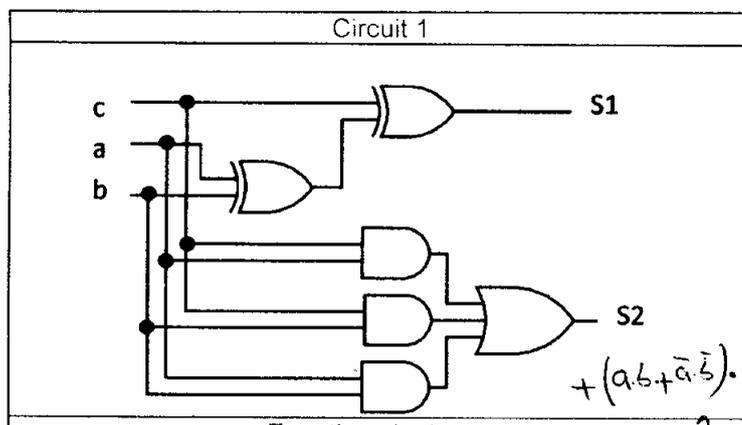
		Circuit U2				C0=..0
a=0		A3	A2	A1	A0	
		..0..	..0..	..0..	..0..	
b=1		B3	B2	B1	B0	
		..0..	..0..	..1..	..1..	
		S3	S2	S1	S0	
C4=..0		..0..	..0..	..1..	..1..	

www BAC org.tn
Page BAC-TUNISIE
Tél: 25 361 197 / 53 371 502

L'arithmétique binaire opérations et circuits TD

Exercice N°1 :

On donne ci-dessous les logigrammes , déduire les équations des sorties , compléter les tables de vérité correspondant et identifier les circuits.



Equations logiques

$$S1 = (a \oplus b) \oplus c = (a \cdot b + \bar{a} \cdot \bar{b}) \cdot \bar{c}$$

$$S2 = (c \cdot a) + (c \cdot b) + (a \cdot b)$$

Equations logiques

$$S1 = (a \oplus b) \oplus c$$

$$S2 = (c \cdot a) + (c \cdot b) + (a \cdot b)$$

Table de vérité

a	b	c	S2	S1
0	0	0	0	0
0	1	0	0	1
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0
1	0	1	1	0
1	1	1	1	1

Table de vérité

a	b	c	S2	S1
0	0	0	0	0
0	1	0	1	1
1	0	0	0	1
1	1	0	0	0
0	0	1	1	1
0	1	1	1	0
1	0	1	0	0
1	1	1	1	1

www BAC org.tn
Page BAC-TUNISIE
Tél: 25 361 197 / 53 371 502

C'est un ... Additionneur Complet ...

C'est un ... soustracteur Complet ...

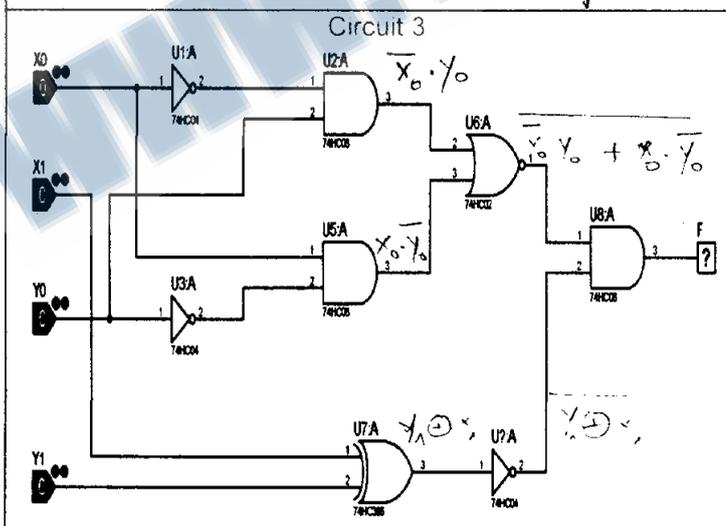


Table de vérité

Y1	Y0	X1	X0	F
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Equations logiques :

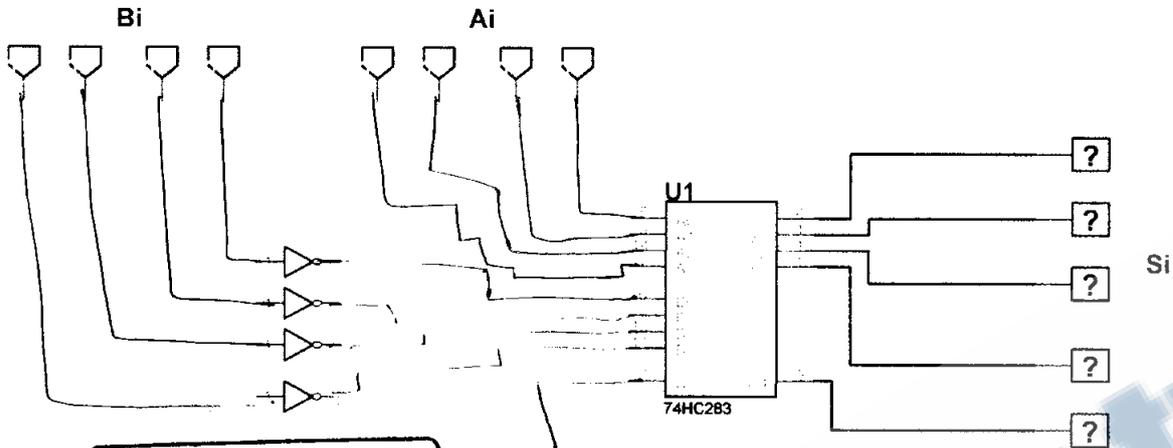
$$F = (X_0 \oplus Y_0) \cdot (Y_1 \oplus X_1)$$

C'est un ... Comparateur de bits ... d'égalité ...

$$F = (X_0 \oplus Y_0) \cdot (Y_1 \oplus X_1) \text{ sig } (X_0 \cdot Y_0 + \bar{X}_0 \cdot \bar{Y}_0) \cdot (X_1 \cdot Y_1 + \bar{X}_1 \cdot \bar{Y}_1)$$

Exercice N°2 :

- 1) Expliquer le principe de la soustraction en complément à 2, en complétant la phrase suivante :
Toute opération de sous-traction se ramène à une opération d' addition tel que $A-B = \dots A + (-B) = \dots A + B + 1F_{16}$
- 2) Compléter le schéma d'un soustracteur de deux nombres A_i et B_i de quatre bits, en utilisant un additionneur intégré 74HC283 et quatre inverseurs.



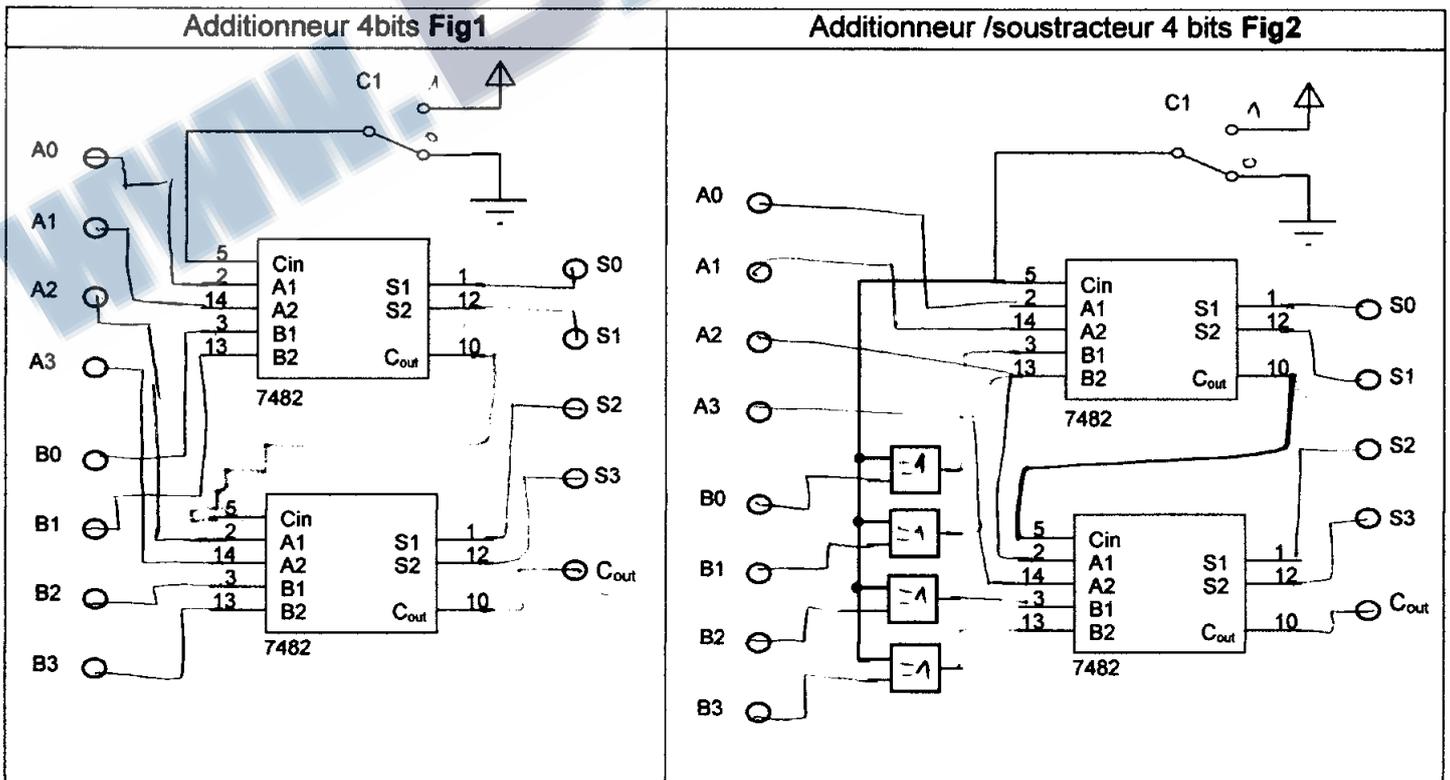
www.BAC.org.tn
Page BAC-TUNISIE
Tél: 25 361 197 / 53 371 502

Exercice N°3

on désire réaliser un additionneur binaire 4 bits $S = A+B$ avec $A = A_3A_2A_1A_0$ et $B = B_3B_2B_1B_0$, $S = S_3S_2S_1S_0$ est la somme et C_{out} et la retenue éventuelle en utilisant un additionneur 2bits 7482. Compléter le schéma de câblage de l'additionneur 4 bits (fig1):

2-2 : On souhaite transformer le montage précédent en un additionneur / soustracteur. Cet additionneur / soustracteur possèdera une entrée de commande « C1 » qui sera utilisée comme suit :
 • $C1 = 0$, fonctionnement en additionneur
 • $C1 = 1$, fonctionnement en soustracteur

Compléter le schéma de câblage d'un additionneur /soustracteur 4 bits (fig2)



Exercice N°4 :

La figure-1 représente un comparateur de deux nombres binaires x_i et y_i à 1 bit.

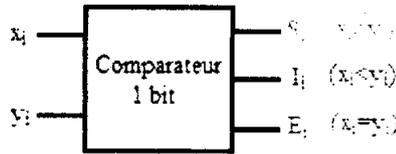


Figure-1

1- Ecrire les équations logiques des trois sorties S_i , I_i , et E_i ..

$S_i = \dots X_i \cdot \overline{Y_i} \dots$, $E_i = \dots X_i \odot Y_i \dots$, $I_i = \dots \overline{X_i} \cdot Y_i \dots$

2- On veut réaliser un comparateur de deux nombres binaires à trois bits $X=x_2x_1x_0$ et $Y=y_2y_1y_0$, dont le schéma synoptique est donné par la figure-2. On note que x_0 et y_0 sont les bits de poids les plus faibles.

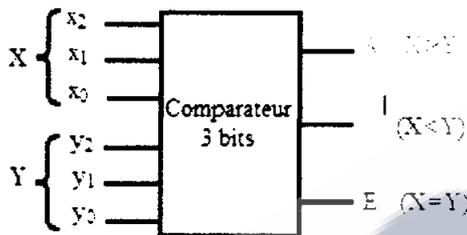


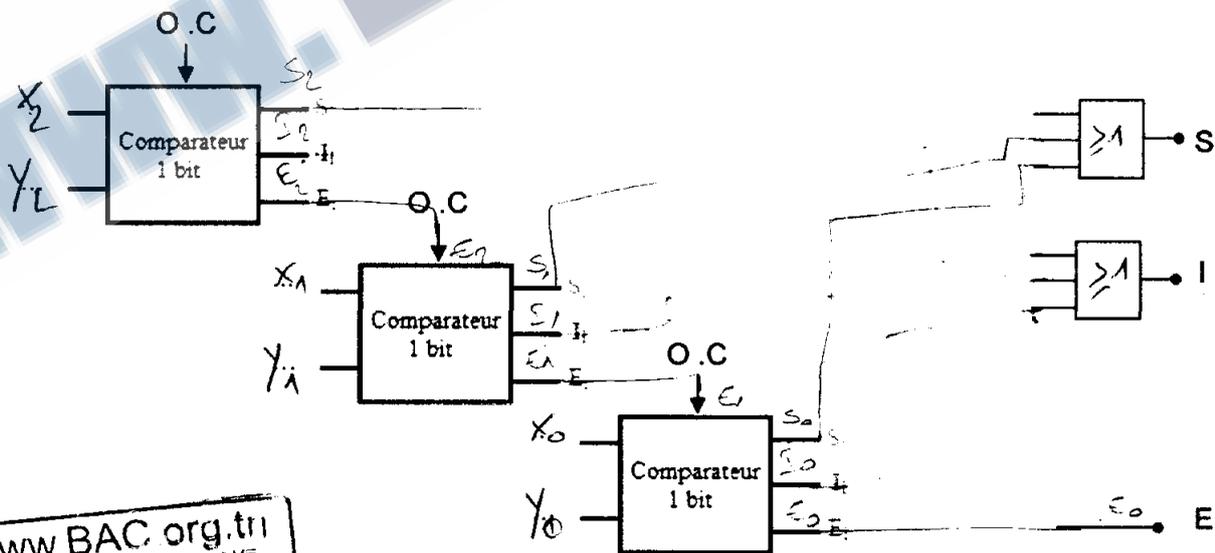
Figure-2

www.BAC.org.tn
Page BAC-TUNISIE
Tél: 25 361 197 / 53 371 502

a- Donner les expressions logiques des sorties S , I et E en fonction de S_i , I_i et E_i avec $i=0, 1, 2$..

$S = \dots S_2 + E_2 \cdot S_1 + E_2 \cdot E_1 \cdot S_0 \dots$
 $I = \dots I_2 + E_2 \cdot I_1 + E_2 \cdot E_1 \cdot I_0 \dots$
 $E = \dots E_2 \cdot E_1 \cdot E_0 \dots$

b- Compléter le schéma d'un comparateur 3 bit en utilisant des comparateurs 1 bit et des opérateurs logiques..

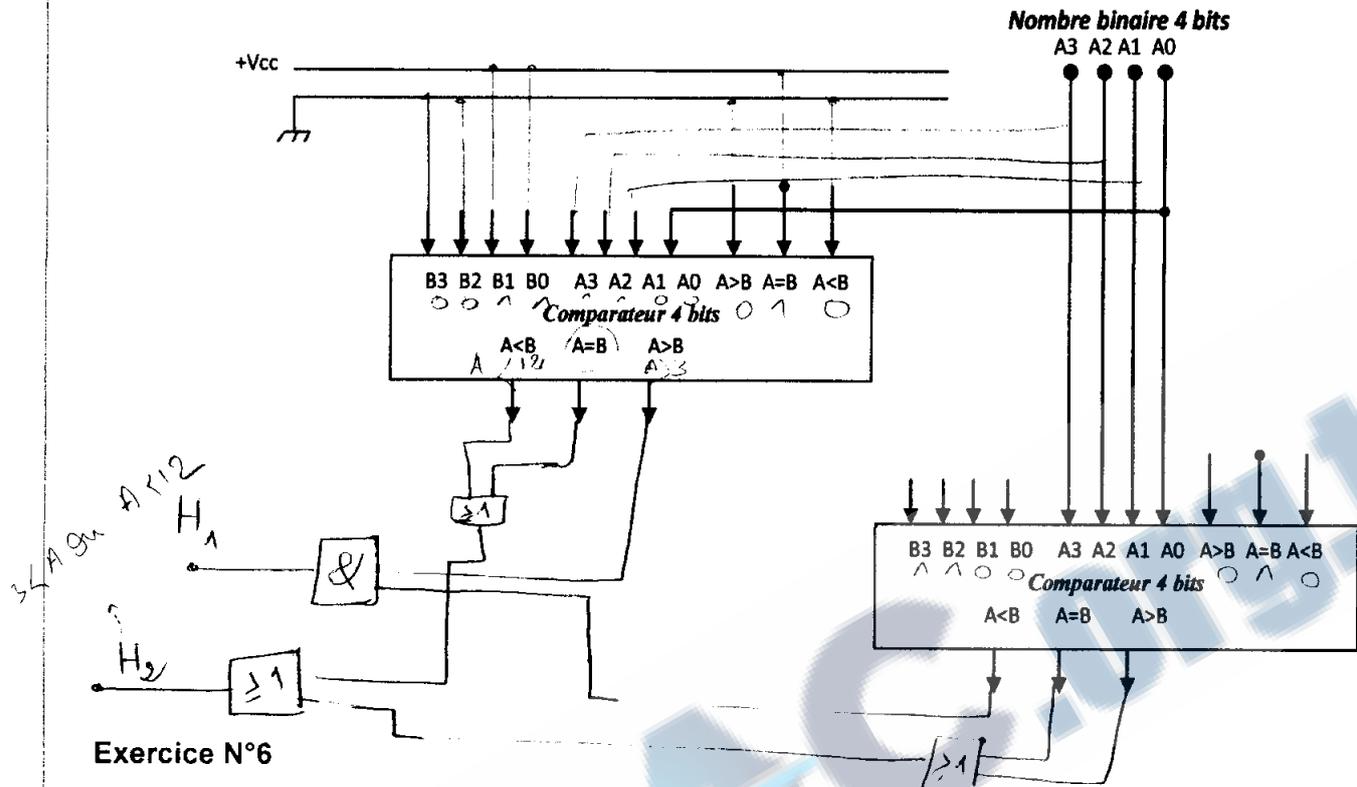


www.BAC.org.tn
Page BAC-TUNISIE
Tél: 25 361 197 / 53 371 502

$3 < A < 12$
 $A < 1100$
 $3 < A < 12$
 $H_1 + H_2 = 1$

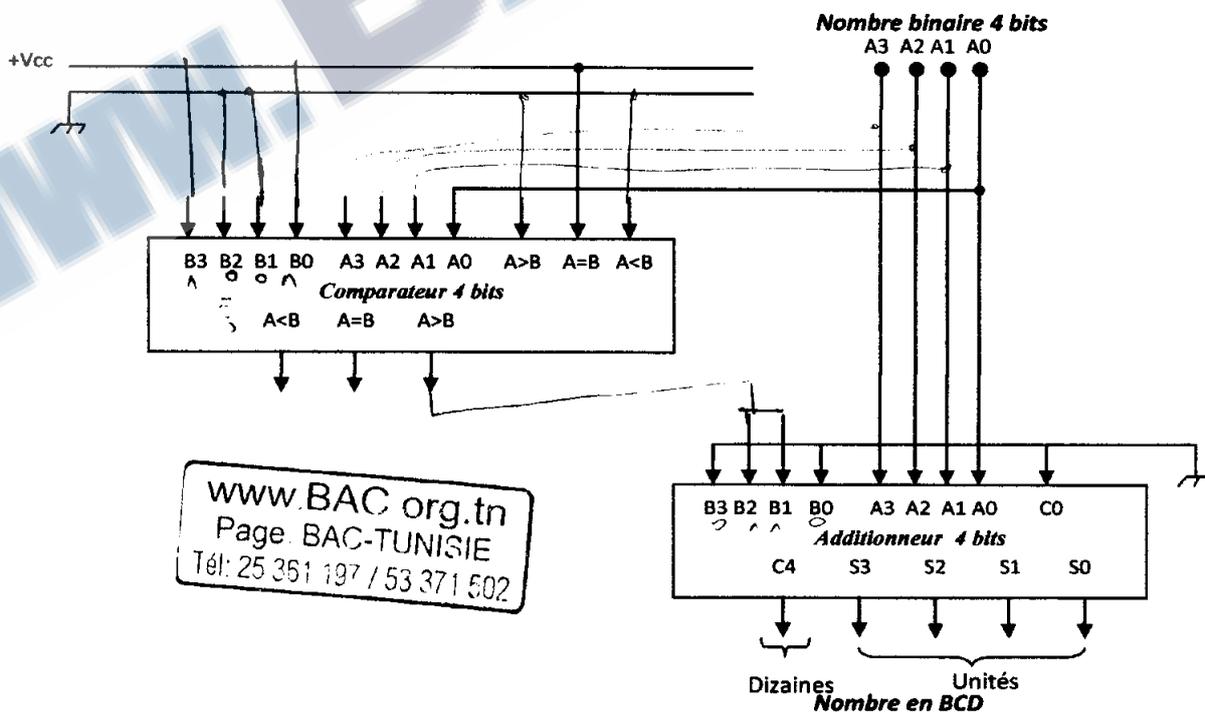
Exercice N°5 :

On désire comparer un nombre A binaire 4 bits tel que si $3 < A < 12$ un voyant H1 s'allume si non un voyant H2 s'allume en utilisant des comparateurs intégrés 74LS85 et des opérateurs logiques. Compléter le schéma suivant



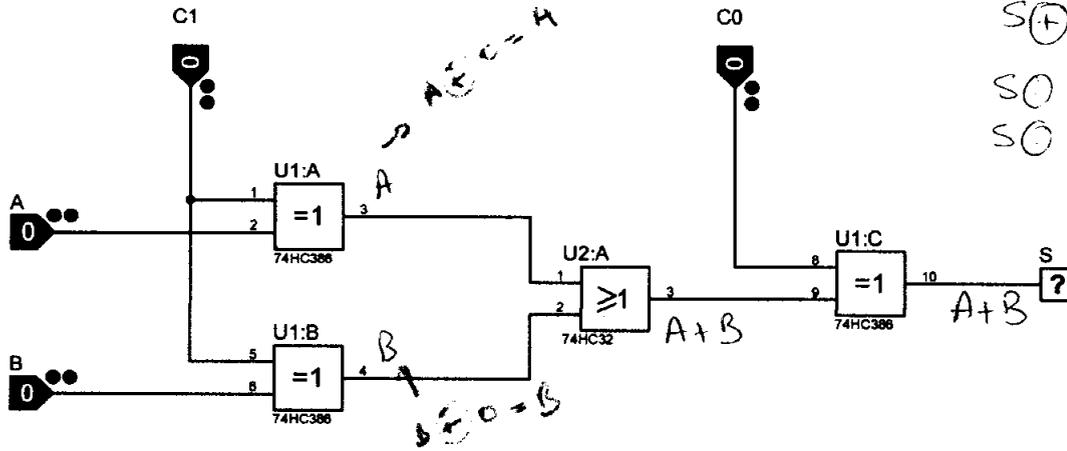
Exercice N°6

Réaliser un convertisseur binaire \Rightarrow BCD en utilisant un additionneur intégré 74LS283 et un comparateur intégré 4 bits 74LS85.



www.BAC.org.tn
 Page: BAC-TUNISIE
 Tél: 25 361 197 / 53 371 502

Exercice N°7 : On donne ci-dessous le logigramme



www.BAC.org.tn
Page BAC-TUNISIE
Tel: 25 361 197 / 53 371 502

1- Analyser le circuit et compléter les tableaux suivants

C1=0 ; C0=0

A	B	S
0	0	0
0	1	1
1	0	1
1	1	1

Fonction réalisée : ... $A+B$... (du)

C1=0 ; C0=1

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0

Fonction réalisée : ... $A+B$...

C1=1 ; C0=0

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Fonction réalisée : ... $A \cdot B$...

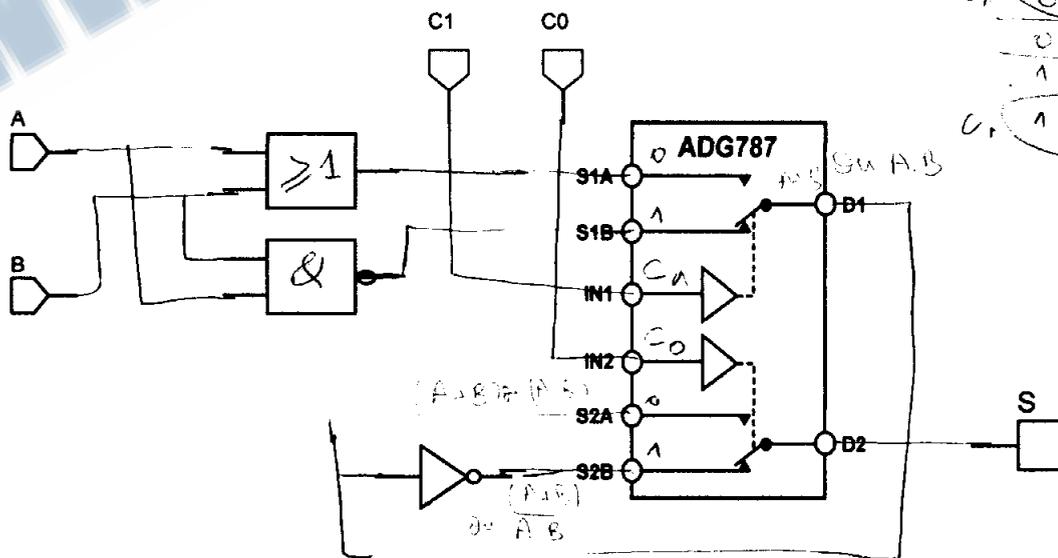
C1=1 ; C0=1

A	B	S
0	0	0
0	1	0
1	0	0
1	1	1

Fonction réalisée : ... $A \cdot B$...

2- On veut réaliser le même circuit en utilisant des MUX et des portes logiques , compléter les schémas correspondant .

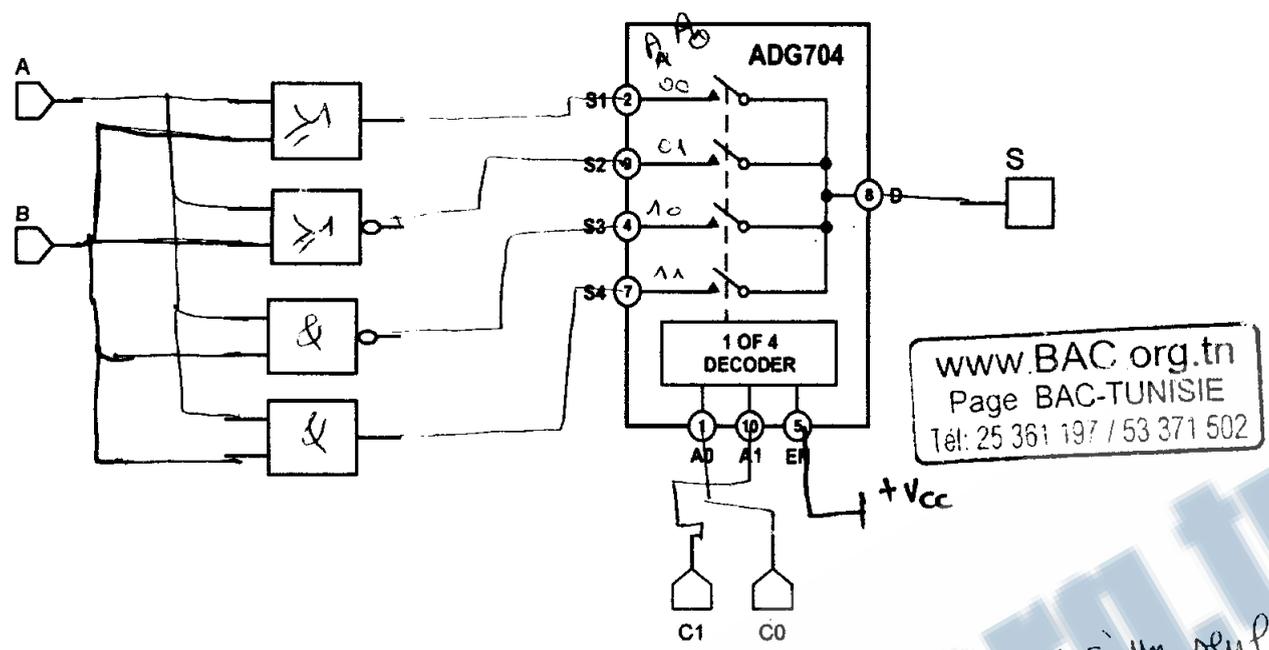
Schéma 1



C1	C0	S
0	0	A+B
0	1	$\frac{A+B}{2} \times C0$
1	0	A.B
1	1	A.B

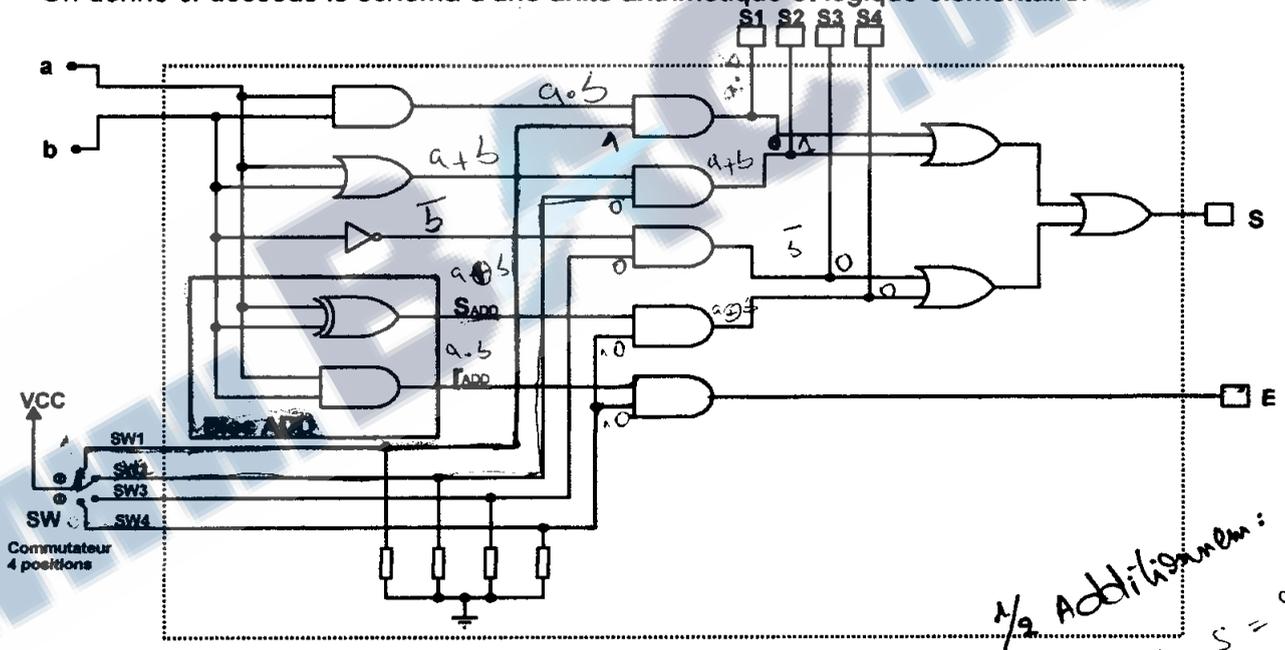
$A+B ; \overline{A+B}$
 $A.B ; \overline{A.B}$

Schéma 2

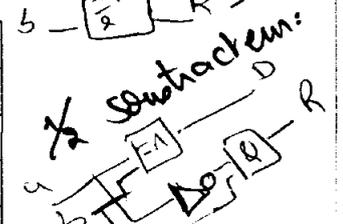
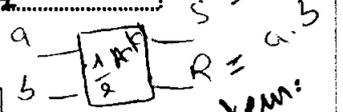


Exercice N°8

On donne ci-dessous le schéma d'une unité arithmétique et logique élémentaire.



1/2 Additionnem: $S = a \oplus b$



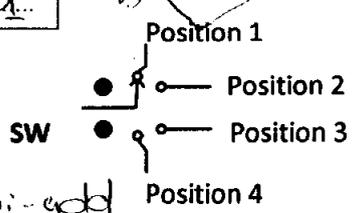
1 : Donner les équations de S_{ADD} et r_{ADD} et compléter la table de vérité ci-contre.

$S_{ADD} = a \oplus b$
 $r_{ADD} = a.b$

a	b	S_{ADD}	r_{ADD}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

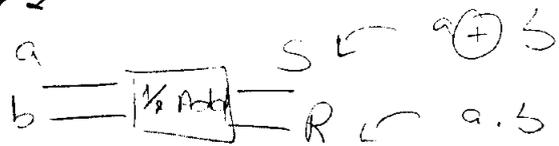
2 : Donner un nom au bloc ADD.

3 : En se référant à la figure précédente et au schéma des positions de SW. Donner les équations de $S1, S2, S3, S4, S$ et E sur le tableau ci-dessous.

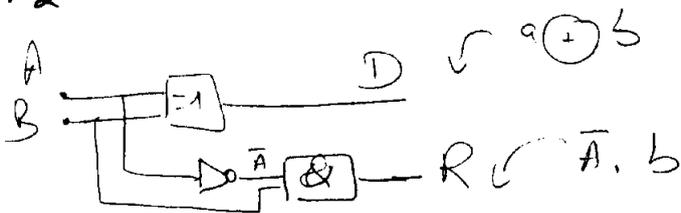


position 4: demi-add

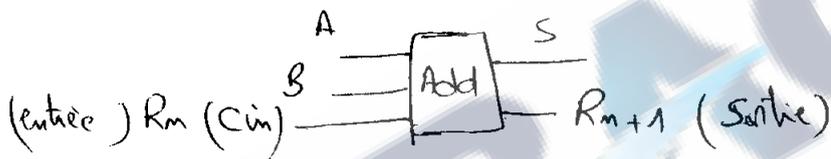
$\frac{1}{2}$ Additionneur:



$\frac{1}{2}$ Soustracteur:



Additionneur Complete:

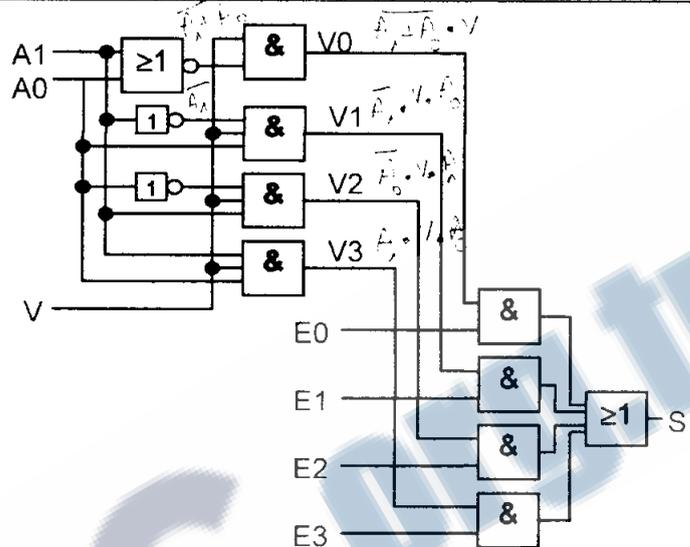


$$A \oplus B \oplus R_m = S$$

$$R_{m+1} = (A \cdot B) + (R_m \cdot (A \oplus B))$$

POSITIONS SW	ETATS LOGIQUES				Equations en fonction de a et b					
	SW1	SW2	SW3	SW4	S1	S2	S3	S4	S	E
Position 1	1	0	0	0	$a \cdot b$	0	0	0	$a \cdot b$	0
Position 2	0	1	0	0	0	$a + b$	0	0	$a + b$	0
Position 3	0	0	1	0	0	0	\bar{b}	0	\bar{b}	0
Position 4	0	0	0	1	0	0	0	$a \oplus b$	$a \oplus b$	$a \cdot b$

Exercice N°9 :
Soit le circuit logique ci-dessous :

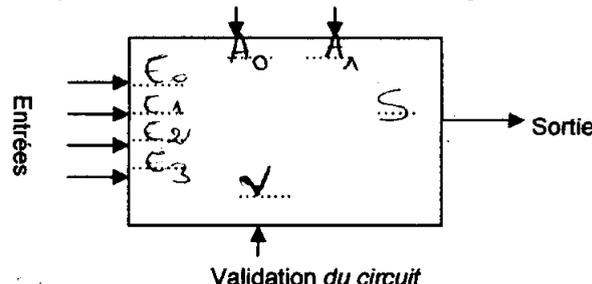


- En déduire les équations logiques des sorties V0, V1, V2 et V3 en fonction de A0, A1 et V.
 $V_0 = V \cdot (A_0 + A_1)$ $V_1 = A_1 \cdot V \cdot A_0$ $V_2 = \bar{A}_0 \cdot V \cdot A_1$ $V_3 = A_1 \cdot V \cdot A_0$
- Déterminer l'équation de la sortie S en fonction de E0, E1, E2, E3 et V0, V1, V2, V3
 $S = E_0 \cdot V_0 + E_1 \cdot V_1 + E_2 \cdot V_2 + E_3 \cdot V_3$
- Compléter le tableau d'analyse suivant

V	A1	A0	V0	V1	V2	V3	S	Circuit
0	x	x	0	0	0	0	0	...
1	0	0	0	0	0	0	E0	...
1	0	1	0	0	0	0	E1	...
1	1	0	0	0	0	0	E2	...
1	1	1	0	0	0	0	E3	...
Entrée de validation	Entrées de données						Sortie	

- Compléter les phrases suivantes
 - Si l'entrée de validation est à l'état haut (V=1...), l'état de la sortie est valable à l'état de l'entrée sélectionnée suivant les adresses.
 - Le circuit logique permettant d'effectuer l'aiguillage d'une entrée parmi 4 possibles vers une seule sortie réalise la fonction « multiplexage ».
- Compléter le schéma suivant par les données manquantes

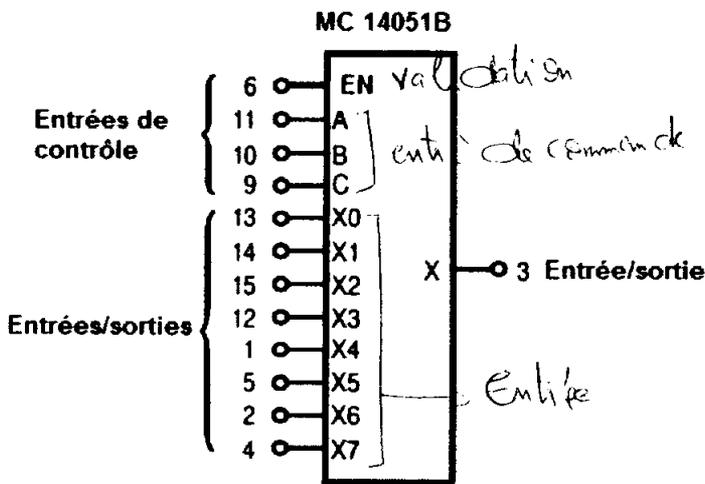
Adresses permettant la sélection de l'entrée à aiguiller vers la sortie



C'est un Multiplexeur

Exercice N°10 :

On donne ci-dessous le schéma de brochage et la table de fonctionnement d'un circuit intégré MC 14051B



EN	C	B	A	E/S
0	0	0	0	X0 ↔ X
0	0	0	1	X1 ↔ X
0	0	1	0	X2 ↔ X
0	0	1	1	X3 ↔ X
0	1	0	0	X4 ↔ X
0	1	0	1	X5 ↔ X
0	1	1	0	X6 ↔ X
0	1	1	1	X7 ↔ X
1	X	X	X	invalide

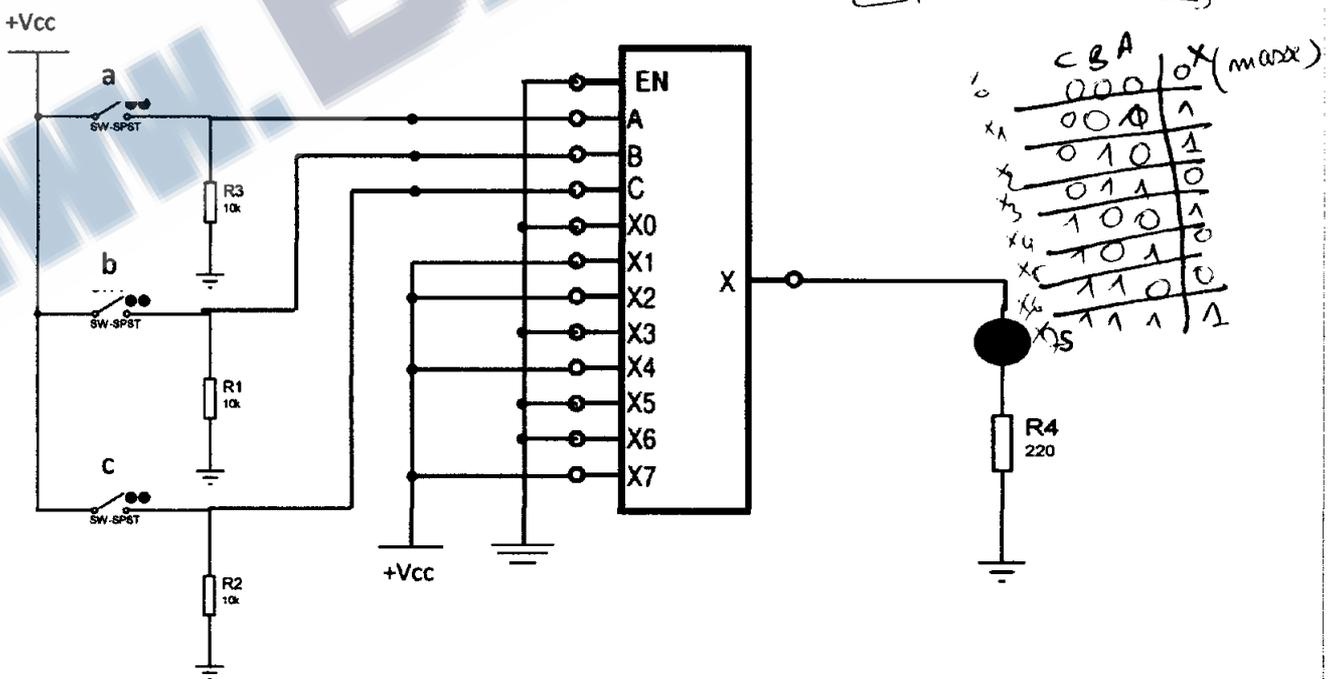
donc EN est un complément qui fonctionne au niveau bas.

1- Pour ce circuit compléter les tableaux suivants

N° de broches	désignation	rôle
6	EN (entree)	entree de validation
11-10-9	A - B	entree de adressage

Entrée(s)	Sortie(s)	Fonction réalisée
X	X7X6X5X4X3X2X1X0	de multiplexage
X7X6X5X4X3X2X1X0	X	multiplexage

2- On donne ci-dessous un schéma de câblage du circuit

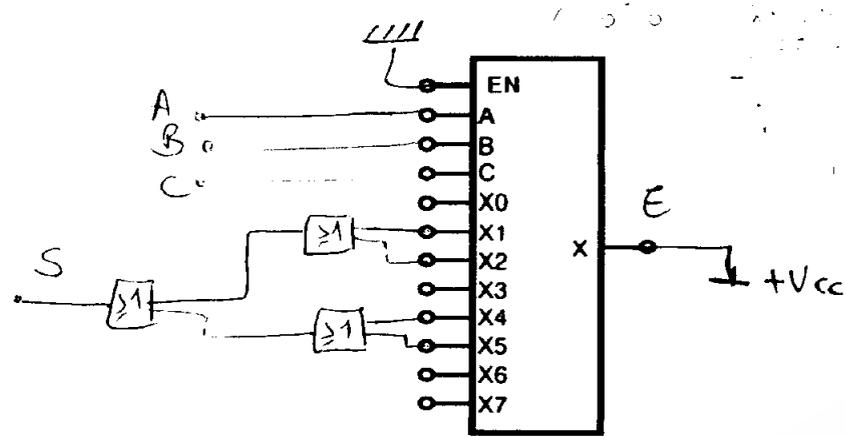


Handwritten truth table for the circuit:

	C	B	A	X (max)
0	0	0	0	1
X1	0	0	1	1
X2	0	1	0	1
X3	0	1	1	0
X4	1	0	0	1
X5	1	0	1	0
X6	1	1	0	0
X7	1	1	1	1

a- Compléter la table de vérité suivante en déduire la fonction réalisée, puis prévoir un schéma équivalent si le circuit fonctionne en DEMUX

a	b	c	S2
0	0	0	0
0	1	0	1
1	0	0	1
1	1	0	0
0	0	1	1
0	1	1	0
1	0	1	0
1	1	1	1

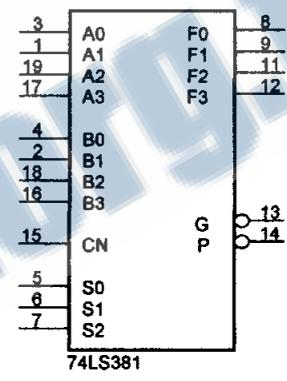


C'est la fonction $\bar{a}\bar{b}\bar{c} + a\bar{b}\bar{c} + \bar{a}b\bar{c} + a\bar{b}c = a \oplus b \oplus c$ (Add complet) (Eq somme)

Exercice N°11:

On donne ci-dessous le schéma de brochage et Tableau de fonctionnement : UAL 74 LS381

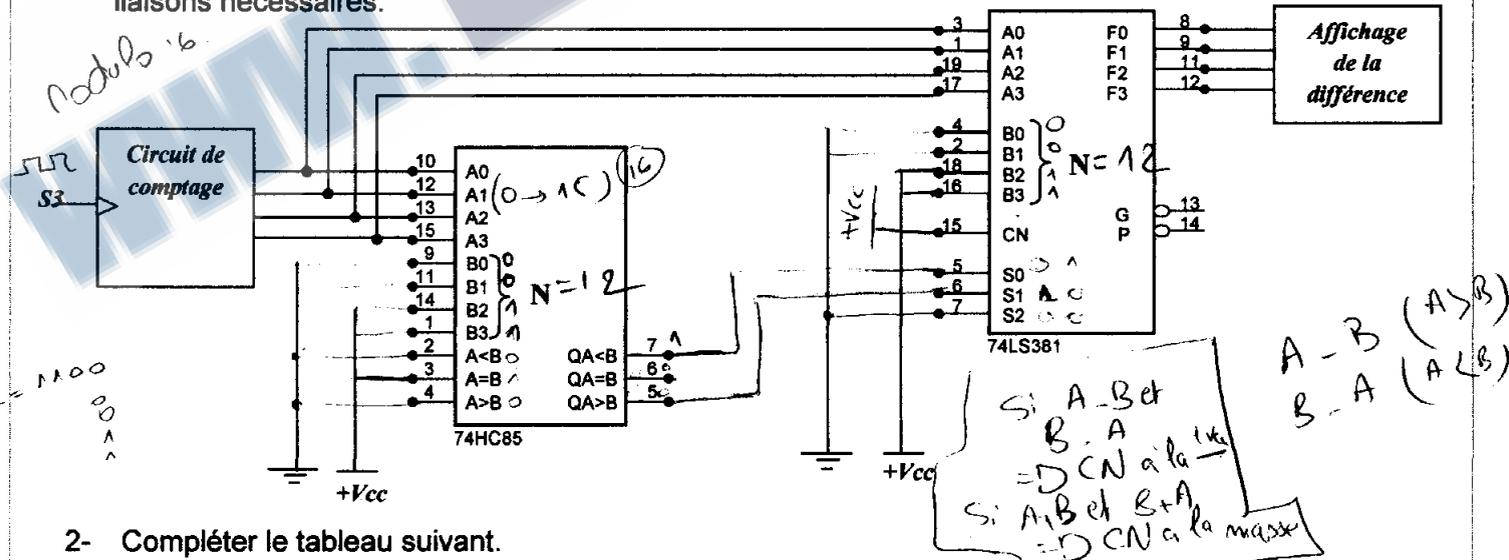
Entrées de sélection			Fonctions réalisées
S2	S1	S0	F = F3F2F1F0
0	0	0	F = 0000 (Remise à zéro) (clear)
0	0	1	F = B - A (A < B)
0	1	0	F = A - B (A > B)
0	1	1	F = A plus B
1	0	0	F = A XOR B
1	0	1	F = A OU B
1	1	0	F = A ET B
1	1	1	F = 1111 (Reset)



Cette unité arithmétique et logique permet de faire la différence entre les données A et « N = 12 », appliquées à ses entrées de façon :

Si A > N alors F = A - N, Si A = N alors F = 0, Si A < N alors F = N - A,

1- En se référant au tableau de fonctionnement du UAL, compléter le schéma suivant par les liaisons nécessaires.



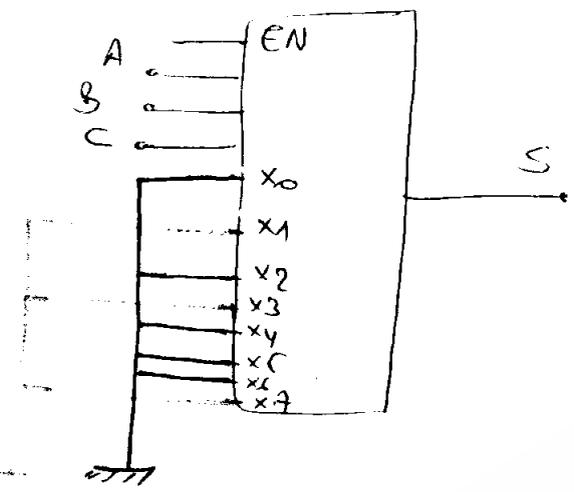
2- Compléter le tableau suivant.

A3 A2 A1 A0	Fonction réalisée	F3 F2 F1 F0
1111	F = ... A ... N 0011 ... = 3
1100	F = ... 0000 0000 ...
1010	F = ... 12 - A 0010 ... = 2

Handwritten notes: $\frac{12}{3} \rightarrow 0011$, $12 - A = 0000$, $12 - A = 0010$, $10 = 1010$, $10 = 1010$.

Exercice : Multiplexeur

$$S = a \cdot b + a \cdot \bar{b} \cdot \bar{c} + a \cdot b \cdot \bar{c}$$



c	b	a	decimal
0	0	0	x ₀
0	1	1	x ₃
1	1	1	x ₇

Et les autres entrées sont liées à la masse.

www.BAC.org.tn